

Робоча програма дисципліни «Комп'ютерна схемотехніка»

СПЕЦІАЛЬНІСТЬ 123 · КОМП'ЮТЕРНА ІНЖЕНЕРІЯ

БАКАЛАВР

210

Годин

Загальний обсяг дисципліни

7

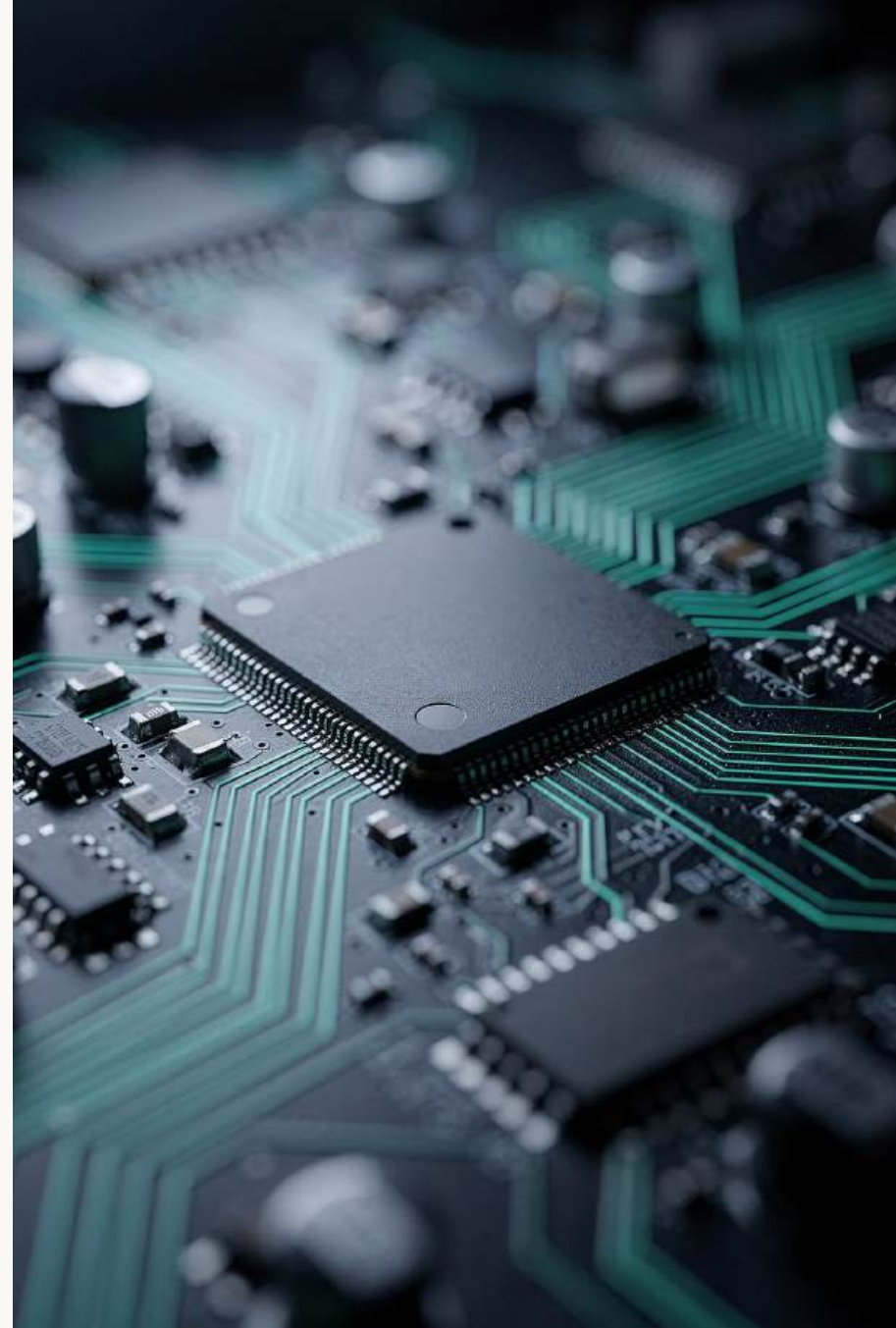
Кредити ЄКТС

Відповідно до стандарту

7

Модулi

Змістовних блоки курсу



Загальна інформація про дисципліну

Ідентифікація

Назва: Комп'ютерна схемотехніка

Спеціальність: 123 Комп'ютерна інженерія

Ступінь: Бакалавр

Обсяг: 210 годин / 7 кредитів ЄКТС

Лекції: 60 год. | **Лабораторні:** 45 год. | **СРС:** 105 год.

Модулів: 7 змістовних блоки

Призначення дисципліни

Дисципліна «Комп'ютерна схемотехніка» формує у студентів системне розуміння принципів побудови та функціонування електронних схем і цифрових пристроїв — від базових логічних елементів до мікропроцесорних систем. Курс охоплює теоретичні основи схемотехніки, методи аналізу та синтезу цифрових і аналогових схем, а також практичні навички їх проектування з використанням сучасних засобів автоматизованого проектування.

Дисципліна є обов'язковою для підготовки бакалаврів зі спеціальності «Комп'ютерна інженерія» та забезпечує формування фахових компетентностей, необхідних для розробки, аналізу й тестування апаратного забезпечення комп'ютерних систем.

Загальні компетентності

Аналітичне мислення

Здатність до аналізу, синтезу та критичного оцінювання схемотехнічних рішень: виявлення причинно-наслідкових зв'язків у роботі пристроїв, порівняння альтернативних схемотехнічних реалізацій, формування обґрунтованих висновків.

Комунікація

Здатність до усної та письмової комунікації: чітко пояснювати принципи роботи схем і пристроїв, аргументовано захищати схемотехнічні рішення, оформлювати технічну документацію та звіти з лабораторних робіт.

Самоорганізація

Уміння самостійно навчатися, планувати роботу та організовувати виконання завдань у визначені строки, зокрема під час підготовки до лабораторних робіт, виконання розрахункових завдань та самостійного дослідження схем.

Командна робота

Відповідальність, ініціативність та готовність працювати в команді під час виконання групових лабораторних проектів, спільного аналізу схемотехнічних рішень та колективного розв'язання інженерних задач.

Студент повинен вміти: аналізувати технічну документацію та схемотехнічну інформацію; виділяти головне та узагальнювати результати досліджень; планувати власну діяльність і дотримуватися дедлайнів; коректно спілкуватися з викладачами та одногрупниками; брати участь у командній роботі та розподіляти обов'язки.

Фахові компетентності

Основи схемотехніки

Розуміння фізичних принципів роботи електронних компонентів та схем: резисторів, конденсаторів, діодів, транзисторів, логічних елементів. Знання технологій виготовлення інтегральних схем (КМОН, ТТЛ, ЕМЛ) та їх схемотехнічних характеристик.

Цифрова схемотехніка

Здатність аналізувати та синтезувати комбінаційні й послідовнісні цифрові схеми: мінімізація логічних функцій, проектування шифраторів, дешифраторів, мультиплексорів, тригерів, лічильників, регістрів і запам'ятовуючих пристроїв.

Аналогова схемотехніка

Знання принципів побудови підсилювачів, операційних підсилювачів, генераторів, фільтрів та перетворювачів сигналів. Розуміння зворотного зв'язку, стабільності та частотних характеристик аналогових схем.

Проектування та моделювання

Застосування засобів автоматизованого проектування (EDA) для моделювання та верифікації схем. Вміння розробляти принципові схеми, виконувати схемотехнічне моделювання у середовищах Multisim, LTspice, Proteus та аналізувати результати симуляції.

Результати навчання

01

Пояснення схемотехнічних понять

Пояснювати сутність ключових понять і явищ: логічний елемент, комбінаційна схема, послідовнісна схема, тригер, лічильник, АЦП/ЦАП, мікропроцесор, FPGA, зворотний зв'язок, імпеданс, характеристична крива.

03

Проектування пристроїв

Проектувати типові функціональні вузли комп'ютерних систем: виконувати розрахунки параметрів схем, обирати елементну базу, розробляти та верифікувати схемотехнічні рішення з використанням EDA-інструментів.

02

Аналіз та синтез схем

Аналізувати роботу цифрових і аналогових схем, застосовувати методи мінімізації логічних функцій (карти Карно, метод Квайна–МакКласкі), синтезувати комбінаційні та послідовнісні пристрої за технічним завданням.

04

Робота з технічною документацією

Орієнтуватися у технічній документації (datasheet), стандартах оформлення схем (ДСТУ, ГОСТ); використовувати інженерні та наукові ресурси для пошуку схемотехнічних рішень та їх порівняльного аналізу.

Основи електроніки та схемотехніки

- 
- 1 — Тема 1.1
Фізичні основи електроніки. Напівпровідникові прилади: діоди, біполярні та польові транзистори
 - 2 — Тема 1.2
Системи числення та кодування інформації. Алгебра логіки та логічні функції
 - 3 — Тема 1.3
Технологія інтегральних схем. Логічні елементи серій ТТЛ, КМОП, ЕМЛ та їх параметри

Фізичні основи електроніки. Напівпровідникові прилади

Лекційний матеріал (4 год.)

Лекція 1: Фізичні основи напівпровідників. Власна та домішкова провідність. р-n перехід: структура, вольт-амперна характеристика, режими роботи. Діоди: випрямні, стабілітрони, світлодіоди, фотодіоди — принцип дії та застосування.

Лекція 2: Біполярні транзистори: структура n-p-n та p-n-p, схеми вмикання (із загальним емітером, базою, колектором), h-параметри, статичні характеристики. Пільові транзистори (MOSFET, JFET): структура, принцип дії, характеристики. Режими насичення, відсічки та активний режим.

Ключові питання лекцій

- Фізична природа р-n переходу та його характеристики
- Типи напівпровідникових діодів та їх застосування
- Біполярний транзистор як підсилювач та ключ
- Пільові транзистори: порівняння з біполярними
- Параметри та граничні режими роботи приладів

Лабораторне заняття (2 год.)

Лабораторна робота 1. Дослідження вольт-амперної характеристики діода та стабілітрона у середовищі Multisim: побудова схеми, вимірювання, аналіз характеристик в прямому та зворотному напрямку.

Лабораторна робота 2. Дослідження статичних характеристик біполярного транзистора: входні та вихідні характеристики, визначення h-параметрів, перевірка режимів роботи.

Самостійна робота (15 год.)

- Опрацювання посібника: Минайленко Р.М., Коноплицька-Слободенюк О.К., Гермак В.С. «Комп'ютерна схемотехніка» (2022) — розділ «Напівпровідникові прилади»
- Розв'язання задач на розрахунок параметрів р-n переходу та схем на діодах
- Підготовка до лабораторних робіт: вивчення теоретичного матеріалу, складання попереднього звіту



Очікуваний результат: студент вміє характеризувати напівпровідникові прилади, розраховувати параметри р-n переходу та аналізувати режими роботи діодів і транзисторів.

Системи числення та алгебра логіки

1

Системи числення

Двійкова, вісімкова, шістнадцяткова. Переведення чисел, арифметика в двійковому коді.

2

Кодування інформації

Прямий, обернений, доповняльний коди. Код BCD, коди Грея, коди з виявленням помилок.

3

Алгебра логіки

Аксиоми та теореми булевої алгебри. Логічні функції: AND, OR, NOT, XOR, NAND, NOR.

4

Мінімізація функцій

Досконала нормальна форма (ДДНФ, ДКНФ). Карти Карно. Метод Квайна–МакКласкі.

Лекційний матеріал (4 год.)

Позиційні системи числення: двійкова, вісімкова, шістнадцяткова. Алгоритми переведення. Арифметичні операції у двійковому коді. Форми представлення від'ємних чисел. Основи алгебри логіки: аксиоми та теореми Буля, стандартні форми запису логічних функцій. Методи мінімізації: карти Карно (до 6 змінних), метод Квайна–МакКласкі. Функціональна повнота системи логічних елементів.

Лабораторне заняття (2 год.) та СРС (15 год.)

Лабораторна: Мінімізація логічних функцій методом карт Карно; реалізація мінімізованих функцій на логічних елементах у середовищі Proteus; перевірка таблиць істинності.

СРС: Опрацювання: Соколовський Я. І. та ін. «Комп'ютерна схемотехніка» (Львів: Магнолія 2006, 2023) — розділи «Системи числення» та «Алгебра логіки»; розв'язання задач на мінімізацію логічних функцій.

Технологія ІС та логічні елементи

Лекційний матеріал (4 год.)

Технологія виготовлення інтегральних схем: монолітна та плівкова технологія, топологія ІС, рівні інтеграції (MІС, СІС, ВІС, НВІС). Логічні серії на базі біполярних транзисторів: ТТЛ, ТТЛ з відкритим колектором, ТТЛ з трьома станами. КМОН-логіка: структура, переваги та обмеження. Порівняльні характеристики логічних серій: швидкодія, споживана потужність, завадостійкість, навантажувальна здатність. Стандартні серії 74xx, 74НСxx, 74АСxx.

Ключові питання

- Рівні інтеграції та їх вплив на розробку систем
- Схемотехніка ТТЛ-елемента, його параметри
- Переваги КМОН-технології для сучасної електроніки
- Критерії вибору логічної серії для конкретного застосування
- Сумісність різних логічних серій

Лабораторне заняття (2 год.)

Лабораторна робота 3. Дослідження статичних параметрів логічних елементів ТТЛ та КМОН у середовищі Multisim: вимірювання рівнів напруг, токів навантаження, часових параметрів перемикачання.

Лабораторна робота 4. Побудова таблиці порівняння характеристик логічних серій; аналіз сумісності та правила узгодження рівнів.

Самостійна робота (15 год.)

- Опрацювання: Минайленко Р.М., Коноплицька-Слободенюк О.К., Гермак В.С. «Комп'ютерна схемотехніка» (2022) — розділ «Логічні елементи»
- Вивчення datasheet на мікросхеми серій 74НСxx та 74АСxx
- Підготовка порівняльної таблиці параметрів логічних серій



Очікуваний результат: студент вміє характеризувати логічні серії ІС, порівнювати їх параметри та обирати оптимальну елементну базу для конкретного проекту.

Комбінаційні цифрові схеми

Тема 2.1

Синтез комбінаційних схем. Шифратори, дешифратори, мультиплексори, демультиплексори.

Тема 2.2

Схеми порівняння, суматори, пристрої арифметико-логічних операцій (АЛП). Схеми контролю.

Тема 2.3

Програмовані логічні матриці (ПЛМ, ПЛА) та їх застосування для реалізації комбінаційних функцій.

Синтез комбінаційних схем. Шифратори та дешифратори

Лекційний матеріал (2 год.)

Загальна методологія синтезу комбінаційних схем: формулювання задачі → складання таблиці істинності → запис булевих функцій → мінімізація → реалізація. Шифратори: двійкові, пріоритетні (74148). Дешифратори: двійкові, BCD-у-семисегментний (74138, 74154). Мультиплексори та демультиплексори: принцип роботи, реалізація логічних функцій на мультиплексорах (74151, 74153). Перетворювачі кодів.

Ключові питання

- Методологія синтезу комбінаційних пристроїв
- Пріоритетний шифратор: логіка роботи та застосування
- Реалізація будь-якої булевої функції на мультиплексорі
- Каскадування дешифраторів для розширення розрядності
- Перетворювачі кодів: практичні схеми

Лабораторне заняття (2 год.)

Лабораторна робота 5. Проектування дешифратора 3-до-8 та семисегментного дешифратора у Proteus: синтез схеми, верифікація таблиці істинності, функціональне моделювання.

Лабораторна робота 6. Реалізація логічної функції чотирьох змінних на мультиплексорі 8-до-1: синтез, моделювання, перевірка всіх комбінацій входів.

Самостійна робота (15 год.)

- Опрацювання: Соколовський Я. І. та ін. «Комп'ютерна схемотехніка» (2023) — розділ «Комбінаційні схеми»
- Виконання індивідуального завдання: синтез та моделювання комбінаційного пристрою за варіантом
- Вивчення datasheet на мікросхеми серії 74138, 74148, 74151



Очікуваний результат: студент вміє проектувати комбінаційні схеми на стандартних ІС, використовувати мультиплексори для реалізації довільних функцій.

Суматори, АЛП та програмовані логічні пристрої

Тема 2.2 — Суматори та АЛП (Лекція, 2 год.)

Двійкові суматори: напівсуматор, повний суматор, паралельний суматор із прискореним перенесенням. Арифметико-логічний пристрій: структура, набір операцій, мікросхема 74181. Схеми порівняння (компаратори): 7485. Схеми контролю парності: генератор та перевірник парності. Практичне застосування АЛП у складі простих процесорів.

Лабораторна (2 год.): Дослідження 4-розрядного суматора та АЛП 74181 у Multisim: виконання арифметичних та логічних операцій, аналіз сигналів перенесення та прапорів.

СРС (15 год.): Опрацювання: Минайленко Р.М. та ін. «Комп'ютерна схемотехніка» (2022) — розділ «Арифметичні схеми»; розв'язання задач на синтез суматорів і компараторів різної розрядності.

Тема 2.3 — Програмовані логічні пристрої (Лекція, 2 год.)

Програмовані логічні матриці (ПЛМ): структура, принцип програмування, порівняння з ПЗП. Програмовані логічні масиви (ПЛА): відмінність від ПЛМ. Комплексні програмовані логічні пристрої (CPLD): архітектура, блоки макроосередків, комутаційна матриця. Мова VHDL для опису логічних схем: основні конструкції, поведінковий та структурний опис. Синтез комбінаційних схем засобами VHDL.

Лабораторна (2 год.): Синтез комбінаційного пристрою мовою VHDL у середовищі Quartus Prime: написання RTL-коду, компіляція, симуляція в ModelSim, аналіз результатів.

СРС (15 год.): Опрацювання: Соколовський Я. І. та ін. «Комп'ютерна схемотехніка» (2023) — розділ «Програмовані пристрої»; написання та тестування HDL-моделі шифратора та дешифратора.

Послідовнісні цифрові схеми

Тема 3.1

Тригери: RS, D, JK, T — принцип роботи, часові діаграми, характеристичні рівняння, синтез на основі D-тригерів.

Тема 3.2

Лічильники: двійкові, реверсивні, з довільним модулем, кільцеві та Джонсона. Регістри зсуву та паралельні регістри.

Тема 3.3

Синхронні та асинхронні автомати. Синтез скінченних автоматів Мілі та Мура. Методологія проектування послідовнісних схем.

Тригери: класифікація, принципи роботи та синтез

Лекційний матеріал (4 год.)

Тригер як елементарна клітинка пам'яті. Асинхронний RS-тригер на елементах NAND та NOR: таблиця переходів, часові діаграми, заборонені стани. Синхронний RS-тригер. D-тригер (засувка та тактований): характеристичне рівняння, часові параметри (setup time, hold time, propagation delay). JK-тригер: усунення невизначеності RS-тригера, режим лічби. T-тригер. Двоступеневі (master-slave) тригери. Синтез тригерів різних типів на основі D-тригера.

Ключові питання

- Відмінність між асинхронними та синхронними тригерами
- Часові параметри тригерів та їх значення для схемотехніки
- Синтез JK- та T-тригерів на основі D-тригера
- Умови виникнення метастабільності та методи боротьби з нею
- Практичні мікросхеми тригерів серій 74xx

Лабораторне заняття (2 год.)

Лабораторна робота 9. Дослідження D-тригера та JK-тригера у Multisim: побудова схем, дослідження таблиць переходів, вимірювання часових параметрів, аналіз часових діаграм.

Лабораторна робота 10. Синтез T-тригера та RS-тригера на основі JK-тригера: реалізація, верифікація таблиць переходів, порівняння характеристик.

Самостійна робота (15 год.)

- Опрацювання: Соколовський Я. І. та ін. «Комп'ютерна схемотехніка» (Львів: Магнолія 2006, 2023) — розділ «Тригери»
- Розв'язання задач на складання таблиць переходів та синтез тригерів
- Вивчення datasheet: 74HC74 (D-тригер), 74HC112 (JK-тригер)



Очікуваний результат: студент вміє аналізувати роботу тригерів усіх типів, будувати часові діаграми та синтезувати один тип тригера на основі іншого.

Лічильники, регістри та скінченні автомати

Тема 3.2 — Лічильники та регістри (Лекція, 2 год.)

Двійкові асинхронні та синхронні лічильники: принцип роботи, діаграми станів. Реверсивні лічильники (74193). Лічильники з довільним модулем: методи скорочення циклу (R-вхід, завантаження). Кільцевий лічильник та лічильник Джонсона: особливості та застосування. Регістр зсуву (послідовний та паралельний): SIPO, PISO, SISO, PIPO. Регістри загального призначення (74164, 74165, 74595). Застосування регістрів зсуву: множення/ділення на 2, послідовні інтерфейси.

Лабораторна (2 год.): Проектування лічильника за модулем 10 та 12 у Proteus на основі 74163/74193; дослідження реверсивного лічильника; аналіз часових діаграм.

СРС (15 год.): Синтез регістра зсуву та лічильника мовою VHDL у Quartus Prime; опрацювання: Минайленко Р.М. та ін. «Комп'ютерна схемотехніка» (2022) — розділ «Лічильники та регістри».

Тема 3.3 — Скінченні автомати (Лекція, 4 год.)

Скінченні автомати (FSM): визначення, класифікація. Автомат Мілі та Мура: відмінності, граф переходів, таблиця переходів/виходів. Методологія синтезу синхронного FSM: кодування станів (бінарне, «один-гарячий», Грея), синтез схем переходів та виходів. Перекодування станів для мінімізації схеми. Детектори послідовностей та інші типи автоматів. Синтез FSM мовою VHDL: описи case-when та if-else для автоматів.

Лабораторна (2 год.): Синтез детектора послідовності «1011» (автомат Мілі) мовою VHDL: граф переходів, таблиця, RTL-код, моделювання в ModelSim, верифікація тестових послідовностей.

СРС (15 год.): Проектування контролера на основі FSM за індивідуальним завданням; опрацювання: Соколовський Я. І. та ін. «Комп'ютерна схемотехніка» (2023) — розділ «Послідовнісні автомати».

Запам'ятовуючі пристрої

Тема 4.1

Класифікація запам'ятовуючих пристроїв. Постійні запам'ятовуючі пристрої (ROM, PROM, EPROM, EEPROM, Flash).

Тема 4.2

Оперативні запам'ятовуючі пристрої (SRAM, DRAM, SDRAM).
Організація пам'яті та інтерфейси підключення до мікропроцесорів.

Тема 4.3

Кеш-пам'ять: принципи роботи, стратегії заміщення та записування. Ієрархія пам'яті в комп'ютерних системах.

Запам'ятовуючі пристрої: від ROM до ієрархії пам'яті

Тема 4.1–4.2 — Лекційний матеріал (6 год.)

Класифікація ЗП: за режимом доступу (RAM/ROM), за збереженням (енергозалежна/незалежна), за технологією. Масочне ROM: структура комірки, принцип зберігання. PROM, EPROM (УФ-стирання), EEPROM — принципи програмування та стирання. Flash-пам'ять: NAND та NOR типи, принцип плаваючого затвора, застосування. SRAM: структура комірки на 6 транзисторах, синхронний та асинхронний доступ. DRAM: одно-транзисторна комірка, регенерація, SDRAM, DDR SDRAM (DDR4, DDR5) — організація банків, CAS-latency, burst-режим. Організація модулів пам'яті (DIMM, SO-DIMM).

Ключові питання

- Порівняння SRAM та DRAM: переваги та застосування
- Принцип плаваючого затвора у Flash-пам'яті
- Організація банків пам'яті DRAM та адресація
- Параметри DDR SDRAM та їх вплив на продуктивність
- Схема підключення SRAM до мікропроцесора

Тема 4.3 — Лекція (2 год.) та лабораторні роботи

Кеш-пам'ять: рівні (L1, L2, L3), пряме, множинно-асоційоване та повністю асоційоване відображення. Алгоритми заміщення: LRU, FIFO, Random. Стратегії запису: write-through, write-back, write-allocate. Ієрархія пам'яті та принцип локальності звернень.

Лабораторна (2 год.): Моделювання підсистеми пам'яті: підключення SRAM до мікропроцесора в Proteus, дослідження часових діаграм читання та запису, аналіз сигналів WE, OE, CS.

Лабораторна (2 год.): Розрахунок параметрів кеш-пам'яті: визначення кількості множин, тегів, рядків кешу; розрахунок AMAT для заданої ієрархії.

Самостійна робота (15 год.)

- Опрацювання: Соколовський Я. І. та ін. «Комп'ютерна схемотехніка» (2023) — розділ «Запам'ятовуючі пристрої»
- Порівняльний аналіз стандартів DDR4 та DDR5 за datasheet
- Розрахунок параметрів підсистеми пам'яті за індивідуальним завданням



Очікуваний результат: студент вміє порівнювати типи ЗП, розраховувати параметри підсистеми пам'яті та пояснювати ієрархію пам'яті сучасних комп'ютерів.

Аналогова схемотехніка та перетворювачі

Тема 5.1

Підсилювачі на операційних підсилювачах: інвертуючий, неінвертуючий, диференційний, інструментальний. Зворотний зв'язок.

Тема 5.2

Активні фільтри (ФНЧ, ФВЧ, смугові) на ОП. Компаратори та схеми з гістерезисом (тригер Шмітта). Генератори сигналів.

Тема 5.3

Аналого-цифрові та цифро-аналогові перетворювачі: принципи роботи, типи, параметри (розрядність, частота дискретизації, похибки).

Операційні підсилювачі, фільтри та АЦП/ЦАП

Лекційний матеріал (8 год.)

Теми 5.1–5.2 (6 год.): Ідеальний операційний підсилювач (ОП): параметри, принцип уявної короткості. Схеми на ОП: інвертуючий підсилювач, неінвертуючий підсилювач, повторювач, суматор, різниця, інтегратор, диференціатор, компаратор. Зворотний зв'язок: типи, вплив на параметри підсилювача. Тригер Шмітта на ОП: петля гістерезису, поріги спрацювання. Активні фільтри: ФНЧ та ФВЧ Баттерворта першого та другого порядків, смуговий фільтр. Генератори на ОП: синусоїдальний (міст Вина), прямокутних імпульсів (астабільний мультівібратор).

Тема 5.3 (2 год.): Основи дискретизації та квантування (теорема Найквіста–Шеннона). ЦАП: R-2R сходова схема, зважена схема; параметри (INL, DNL, час встановлення). АЦП: послідовне наближення (SAR), паралельний (flash), з подвійним інтегруванням, сигма-дельта; застосування.

Лабораторні заняття (4 год.) та СРС (15 год.)

Лабораторна (2 год.): Дослідження підсилювальних схем на ОП LM741/TL071 у Multisim: інвертуючий та неінвертуючий підсилювачі, суматор, компаратор із гістерезисом — вимірювання АЧХ, коефіцієнта підсилення, порогів спрацювання.

Лабораторна (2 год.): Дослідження АЦП послідовного наближення (ADC0804) та ЦАП (DAC0808) у Proteus: підключення до мікроконтролера, аналіз часових діаграм, вимірювання похибок перетворення.

СРС (15 год.): Опрацювання: Минайленко Р.М. та ін. «Комп'ютерна схемотехніка» (2022) — розділ «Аналогові схеми»; розрахунок параметрів фільтра нижніх частот другого порядку за варіантом; підготовка порівняльної таблиці типів АЦП.



Очікуваний результат: студент вміє розраховувати схеми на ОП, проектувати активні фільтри та пояснювати принципи роботи АЦП і ЦАП.

Мікропроцесорна схемотехніка та FPGA

Тема 6.1

Архітектура мікропроцесорних систем. Шини даних, адреси та керування. Організація мікропроцесорного вузла.

Тема 6.2

Мікроконтролери (AVR, ARM Cortex-M): архітектура, периферія, схемотехніка вузлів введення-виведення.

Тема 6.3

FPGA: архітектура (LUT, FF, блокова RAM, DSP-блоки). Проектування цифрових систем на FPGA мовою VHDL/Verilog.

Мікропроцесорна схемотехніка та програмовані логічні інтегральні схеми

Лекційний матеріал (8 год.)

Тема 6.1 (2 год.): Структура мікропроцесорної системи: мікропроцесор, пам'ять, пристрої введення-виведення. Типи шин та їх характеристики. Методи адресації. Дешифрування адреси та формування сигналів вибірки кристала. Узгодження рівнів та навантаження шин.

Тема 6.2 (2 год.): Мікроконтролери AVR (ATmega): ядро, периферійні модулі (GPIO, UART, SPI, I²C, PWM, ADC). Схемотехніка типових вузлів: підключення кварцового резонатора, кола скидання, захист портів введення-виведення. Особливості ARM Cortex-M: порівняння з AVR.

Тема 6.3 (4 год.): FPGA: архітектура ПЛІС (LUT, кліткова матриця, IOB, BRAM, DSP). Порівняння CPLD та FPGA. Потік проектування FPGA: синтез → реалізація → побітовий файл → конфігурування. Мова Verilog: основні конструкції, модулі, порти, assign та always-блоки. Синтез конвеєрних схем на FPGA.

Лабораторні заняття (4 год.) та СРС (15 год.)

Лабораторна (2 год.): Проектування схеми мікропроцесорного вузла у Proteus: підключення ATmega16 до SRAM та Flash-пам'яті, дешифрування адреси, моделювання циклів читання та запису.

Лабораторна (2 год.): Проектування цифрового пристрою на FPGA: написання RTL-коду на VHDL/Verilog у Quartus Prime, компіляція, симуляція в ModelSim, завантаження на плату FPGA (Cyclone IV або DE10-Lite).

Самостійна робота (15 год.)

- Опрацювання: Соколовський Я. І. та ін. «Комп'ютерна схемотехніка» (2023) — розділ «Мікропроцесорна схемотехніка»
- Вивчення datasheet на мікроконтролер ATmega328P; складання схеми мінімальної конфігурації
- Виконання індивідуального завдання: синтез цифрового пристрою на FPGA за варіантом



Очікуваний результат: студент вміє розробляти схемотехніку мікропроцесорних вузлів, проектувати цифрові системи на FPGA та програмувати їх мовою HDL.

Схемотехніка інтерфейсів та надійність електронних пристроїв

Тема 7.1

Схемотехніка послідовних та паралельних інтерфейсів: UART, SPI, I²C, USB, Ethernet. Узгодження рівнів та захист від перешкод.

Тема 7.2

Схемотехніка джерел живлення: лінійні та імпульсні стабілізатори, DC-DC перетворювачі, фільтрація та розв'язка живлення на платі.

Тема 7.3

Надійність електронних пристроїв. Завадостійкість та електромагнітна сумісність (EMC). Засади проектування друкованих плат (PCB).

Інтерфейси, живлення та надійність

Лекційний матеріал (8 год.)

Тема 7.1 (2 год.): Послідовні інтерфейси: UART (формат кадру, baudrate, RS-232, RS-485), SPI (режими CPOL/CPHA, майстер-підлеглий), I²C (адресація, колізії, розтягнення тактування). USB: рівні та фізичний рівень (Full Speed, High Speed). Ethernet: MAC, PHY, схемотехніка трансформаторного розв'язання.

Тема 7.2 (2 год.): Лінійні стабілізатори (LDO): принцип роботи, схема включення, теплові розрахунки. Імпульсні DC-DC перетворювачі: buck, boost, buck-boost — принцип роботи, вибір компонентів. Розв'язка живлення: байпасні конденсатори, розміщення на PCB.

Тема 7.3 (4 год.): Надійність: показники (MTBF, FIT, рівень надійності), розрахунок надійності послідовних і паралельних систем. Завадостійкість цифрових схем: джерела перешкод, методи придушення. EMC: випромінювання та сприйнятливість, стандарти. Засади проектування PCB: стек, ширина провідників, заземлені шари, EMC-заходи.

Лабораторні заняття (3 год.) та СРС (15 год.)

Лабораторна (2 год.): Реалізація обміну даними по протоколах SPI та I²C між мікроконтролерами AVR у Proteus: написання коду, симуляція, аналіз протоколу логічним аналізатором.

Лабораторна (1 год.): Розрахунок та вибір LDO-стабілізатора та DC-DC перетворювача для заданого навантаження: схема включення, розрахунок компонентів, моделювання у LTspice.

Самостійна робота (15 год.)

- Опрацювання: Минайленко Р.М. та ін. «Комп'ютерна схемотехніка» (2022) — розділ «Інтерфейси та живлення»
- Вивчення стандарту I²C та SPI; складання схеми підключення датчика по I²C до мікроконтролера
- Підготовка аналітичної записки «Засади проектування друкованих плат для забезпечення EMC»



Очікуваний результат: студент вміє проектувати схемотехніку інтерфейсних вузлів, вибирати компоненти підсистеми живлення та застосовувати заходи для забезпечення надійності й EMC.

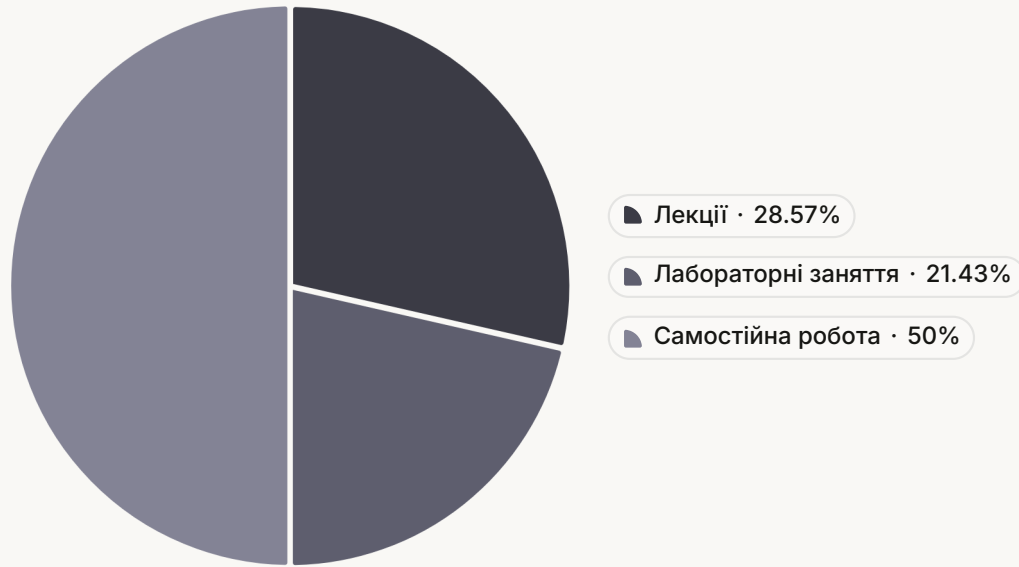
Розподіл навчального часу — 210 годин

Модуль	Тема	Лекції (год.)	Лаборат. (год.)	СРС (год.)
Модуль 1	Тема 1.1 — Напівпровідникові прилади	4	4	15
	Тема 1.2 — Системи числення та алгебра логіки	4	2	15
	Тема 1.3 — Технологія ІС та логічні елементи	4	4	15
Модуль 2	Тема 2.1 — Шифратори, дешифратори, MUX	2	4	15
	Тема 2.2–2.3 — Суматори, АЛП, ПЛА	4	4	15
Модуль 3	Тема 3.1 — Тригери	4	4	15
	Тема 3.2–3.3 — Лічильники, регістри, FSM	6	4	15
Модуль 4	Теми 4.1–4.3 — Запам'ятовуючі пристрої	8	4	15
Модуль 5	Теми 5.1–5.3 — Аналогова схемотехніка, АЦП/ ЦАП	8	4	15
Модуль 6	Теми 6.1–6.3 — Мікропроцесорна схемотехніка, FPGA	8	4	15
Модуль 7	Теми 7.1–7.3 — Інтерфейси, живлення, надійність	8	3	15
Разом	7 модулів, 17 тем	60	45	105



Загальний обсяг: 210 годин = 7 кредитів ЄКТС. Розподіл є орієнтовним і може коригуватися відповідно до специфіки навчального процесу.

Структура навчального часу



Коментар до розподілу

Загальний обсяг — **210 годин (7 кредитів ЄКТС)** — розподілено між трьома формами роботи для забезпечення балансу між теорією та практикою.

Лекції — 60 год. (28,6%)

Системне подання теоретичного матеріалу з використанням схем, часових діаграм, прикладів із промислової практики та демонстрацій у EDA-середовищах.

Лабораторні заняття — 45 год. (21,4%)

Практичне моделювання та дослідження схем у Multisim, Proteus, LTspice та Quartus Prime. Виконання індивідуальних проектних завдань.

Самостійна робота — 105 год. (50%)

Поглиблене вивчення теоретичного матеріалу, підготовка до лабораторних робіт, виконання розрахункових завдань. Самостійна робота становить **50% обсягу дисципліни**.

Самостійна робота студентів — Детальний опис



Опрацювання літератури

Поглиблене вивчення теоретичного матеріалу за підручниками з комп'ютерної схемотехніки (Минайленко, Соколовський, Азаров та ін.), технічною документацією (datasheet), науковими статтями у фахових виданнях. Студент конспектує ключові положення, складає таблиці параметрів та порівнює технічні рішення.



Розрахункові завдання

Виконання індивідуальних розрахункових завдань: синтез комбінаційних та послідовнісних схем, розрахунок параметрів підсилювачів і фільтрів, проектування підсистем пам'яті та живлення за конкретним технічним завданням.



Моделювання схем

Самостійне моделювання схем у середовищах Multisim, LTspice, Proteus та Quartus Prime/ModelSim: побудова схем, налаштування симуляції, аналіз результатів, оформлення звітів відповідно до вимог ДСТУ.



Підготовка до занять та контролю

Підготовка до лабораторних занять (вивчення теорії, складання попереднього звіту); підготовка до тестування (ключові терміни, формули, схеми); підготовка до контрольних робіт за модулями (систематизація знань).

Форми контролю знань

1

Поточний контроль

Захист лабораторних робіт: перевірка результатів моделювання, звіту та теоретичних знань за темою.

Оцінюється правильність схемотехнічних рішень, якість оформлення звіту та рівень засвоєння матеріалу. Тестування за темами (10–15 питань) після завершення кожної теми змістовного модуля.

2

Проміжний контроль

Контрольна робота або індивідуальне розрахункове завдання за темами змістовного модуля: синтез схем, розрахунок параметрів, аналіз роботи пристроїв. Оцінюються повнота відповіді, правильність розрахунків та обґрунтованість обраних схемотехнічних рішень. Проводиться після завершення кожного з семи модулів.

3

Підсумковий контроль

Іспит відповідно до навчального плану. Форма проведення — тестування та письмові задачі на синтез і аналіз схем. Підсумкова оцінка враховує результати поточного, проміжного та підсумкового контролю: **100-бальна система** з переведенням у національну шкалу та ЄКТС (A, B, C, D, E, FX, F).

Методи викладання

Викладання дисципліни «Комп'ютерна схемотехніка» поєднує класичні академічні та практично орієнтовані методи, що забезпечує формування не лише міцної теоретичної бази, а й практичних навичок проектування та аналізу схем, необхідних для майбутньої інженерної діяльності у сфері комп'ютерної інженерії.



Лекції

Системне подання теоретичного матеріалу з використанням часових діаграм, схем, таблиць характеристик та демонстраційних прикладів у EDA-середовищах; студенти ведуть конспекти та задають уточнювальні запитання.



Комп'ютерне моделювання

Дослідження схем у Multisim, Proteus, LTspice та Quartus Prime/ModelSim: формування навичок практичного проектування, верифікації та налагодження електронних пристроїв.



Проектні завдання

Виконання індивідуальних схемотехнічних проектів: студенти синтезують пристрій за технічним завданням, обирають елементну базу, проводять розрахунки та верифікацію схеми моделюванням.



Робота з технічною документацією

Опрацювання datasheet на реальні мікросхеми та компоненти; формування навичок читання технічних специфікацій, вибору компонентів та перенесення схемотехнічних рішень у реальні проекти.



Самостійне дослідження

Підготовка розрахункових записок, аналіз альтернативних схемотехнічних рішень, порівняльний аналіз елементної бази; розвиток навичок самостійного пошуку та систематизації інженерної інформації.



HDL-проектування

Опис цифрових пристроїв мовами VHDL та Verilog: написання RTL-моделей, тестових стендів (testbench), синтез та реалізація на FPGA; формування сучасних навичок цифрового проектування.



Усі методи спрямовані на формування компетентностей, передбачених освітньо-професійною програмою спеціальності 123 «Комп'ютерна інженерія».

Рекомендована література — Підручники та посібники (2022–2024 рр.)

1. Минайленко Р. М., Коноплицька-Слободенюк О. К., Гермак В. С.

Комп'ютерна схемотехніка : навч. посіб. — Кропивницький : Видавець Лисенко В. Ф., 2022. — 153 с.

2. Соколовський Я. І., Пірко І. Б., Кенс І. Р., Дендюк М. В., Яцишин С. І.

Комп'ютерна схемотехніка : навч. посіб. / за ред. В. В. Пасічника. — Львів : Магнолія 2006, 2023. — 313 с. — (Серія «Комп'ютинг»). ISBN 978-617-574-116-0.

3. Сушко І. О., Титенко О. Т.

Цифрова схемотехніка. Лабораторні роботи : навч. посіб. [Електронний ресурс]. — Київ : КПІ ім. Ігоря Сікорського, 2023. — 31 с.

4. Паржицький О. В., Аушева С. В., Шулепіна Г. Ю.

Електроматеріалознавство : навчальний посібник. — Київ : Грамот, 2023. — 224 с.

5. Азаров О. Д., Гарнага В. А., Клятченко Я. М., Тарасенко В. П.

Комп'ютерна схемотехніка : підручник. — Вінниця : ВНТУ, 2022 (перевид.). — 230 с. *Рекомендується для модулів 1–3.*

6. Рябенський В. М., Жуйков В. Я., Ямненко Ю. С., Заграничний А. В.

Схемотехніка: Пристрої цифрової електроніки. Т. 1–2 : Електронний підручник. — Київ : КПІ ім. Ігоря Сікорського, 2022. *Рекомендується для модулів 2–4.*

7. Зубчук В. І., Делавар-Касмаї М.

Цифрова схемотехніка : навч. посіб. для самостійної роботи студентів [Електронний ресурс]. — Київ : КПІ ім. Ігоря Сікорського, 2023 (оновл. вид.). — 258 с.

8. Матвієнко М. П., Розен В. П.

Комп'ютерна схемотехніка : навч. посіб. — Київ : Академвидав, 2023. — 267 с. *Рекомендується для модулів 1, 5.*

Додаткова література та наукові статті

9. Макаренко В. В., Співак В. М.

Цифрова та імпульсна схемотехніка. Моделювання та аналіз : навч. посібник. — Київ : Кафедра, 2022 (перевид.). — 314 с.

Рекомендується для модулів 2–3.

11. Задерейко О. В., Шаповалов Г. В.

Комп'ютерна схемотехніка та архітектура комп'ютерів : навч. посіб. [Електронний ресурс], 2-ге вид. перероб. і доповн. —

Одеса : НУ «Одеська юридична академія», 2023.

Рекомендується для модулів 4, 6.

10. Кравченко І. В., Мамута М. С.

Цифрова обробка сигналів та зображень. Рекомендації до виконання розрахунково-графічної роботи : навч. посіб.

[Електронний ресурс]. — Київ : КПІ ім. Ігоря Сікорського, 2023.

Рекомендується для модуля 5.

12. Татарчук Д. Д., Діденко Ю. В.

Мікропроцесори та мікроконтролери : курс лекцій [Електронний ресурс]. — Київ : КПІ ім. Ігоря Сікорського, 2023 (оновл. вид.). —

238 с. *Рекомендується для модуля 6.*

Нормативно-правова база

→ Закон України «Про вищу освіту» від 01.07.2014 № 1556-VII

Визначає засади організації вищої освіти та підготовки фахівців освітнього ступеня «Бакалавр». zakon.rada.gov.ua

→ Стандарт вищої освіти України — Спеціальність 123 «Комп'ютерна інженерія» (Бакалавр)

Визначає перелік компетентностей та результатів навчання для здобувачів освітнього ступеня «Бакалавр» зі спеціальності 123.
mon.gov.ua

→ ДСТУ 2.702:2013 — Правила виконання електричних схем

Державний стандарт України, що встановлює правила оформлення принципових електричних схем та умовні позначення елементів.

→ Закон України «Про освіту» від 05.09.2017 № 2145-VIII

Визначає загальні засади освітньої діяльності в Україні. zakon.rada.gov.ua

→ ДСТУ ІЕС 60617 — Графічні символи для схем

Міжнародний стандарт (адаптований в Україні) для позначення елементів на електричних схемах відповідно до вимог ІЕС.

Офіційні ресурси та фахові видання

Електронний архів КПІ ім. Ігоря Сікорського

ela.kpi.ua — електронні навчальні посібники, методичні матеріали та наукові праці викладачів КПІ з схемотехніки та суміжних дисциплін.

Верховна Рада України

zakon.rada.gov.ua — нормативно-правова база, стандарти вищої освіти, ліцензійні умови провадження освітньої діяльності.

Національна бібліотека України ім. В. І. Вернадського

nbuv.gov.ua — електронні ресурси, наукові статті, монографії та фахові видання з електроніки та комп'ютерної інженерії.

Міністерство освіти і науки України

mon.gov.ua — освітні стандарти, навчальні програми, методичні матеріали зі спеціальності 123 «Комп'ютерна інженерія».

IEEE Xplore Digital Library

ieeexplore.ieee.org — провідна міжнародна база наукових праць з електроніки, схемотехніки та комп'ютерних систем.

Журнал «Мікросистеми, Електроніка та Акустика»

ela.kpi.ua/mea — провідне фахове видання КПІ ім. Ігоря Сікорського з питань електроніки та схемотехніки.

Texas Instruments — технічна документація

ti.com — офіційні datasheet, reference design та application notes на мікросхеми стандартної логіки, мікроконтролери та АЦП/ЦАП.

Intel / Altera — ресурси FPGA

intel.com/fpga — документація на FPGA серій Cyclone, Arria, Stratix; завантаження Quartus Prime; навчальні матеріали з HDL-проекування.

Зв'язок дисципліни зі спеціальністю 123 «Комп'ютерна інженерія»

Чому «Комп'ютерна схемотехніка» — фундамент інженера?

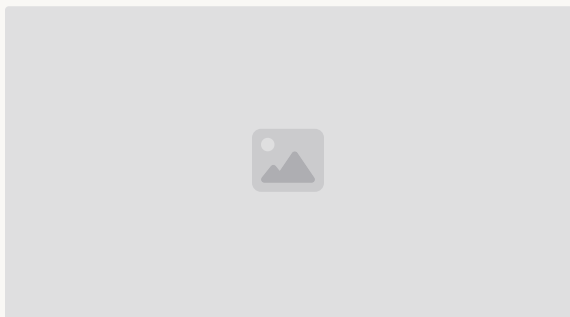
Дисципліна «Комп'ютерна схемотехніка» є ключовою фаховою дисципліною підготовки бакалаврів зі спеціальності 123 «Комп'ютерна інженерія». Розуміння принципів роботи електронних схем і цифрових пристроїв є необхідною основою для проектування будь-яких комп'ютерних систем — від вбудованих мікроконтролерних систем до складних багатопроцесорних серверів.

Сучасний фахівець у сфері комп'ютерної інженерії повинен розуміти апаратну природу систем, над якими він працює — незалежно від того, займається він розробкою апаратного забезпечення, системного програмного забезпечення, чи прикладних систем.

Практичне значення для майбутньої кар'єри

- Проектування вбудованих систем (Embedded Systems) та IoT-пристроїв на основі мікроконтролерів
- Розробка та верифікація цифрових блоків на FPGA/ASIC у компаніях Hardware Design
- Системне програмування та розробка драйверів з розумінням апаратної архітектури
- Тестування та налагодження апаратного забезпечення комп'ютерних систем
- Проектування схем із урахуванням EMC, надійності та теплового режиму
- Навички роботи з EDA-інструментами, HDL-мовами та технічною документацією

Ключові компетентності курсу — Підсумок



Курс охоплює всі ключові розділи комп'ютерної схемотехніки — від фізичних основ напівпровідників до сучасних FPGA та мікропроцесорних систем — і формує у студентів цілісне розуміння апаратної природи комп'ютерних систем, необхідне для успішної інженерної кар'єри.

Бажаємо успіхів у вивченні Комп'ютерної схемотехніки!

210

Годин

Загальний обсяг дисципліни

7

Кредити ЄКТС

Відповідно до стандарту

7

Модулів

Змістовних блоків курсу

12

Джерел

Рекомендованої літератури 2022–2024 рр.

«Інженер — це людина, яка може зробити за один долар те, що будь-хто зробить за два.» — Артур Велінгтон

Спеціальність 123 · Комп'ютерна інженерія · Бакалавр · 7 кредитів ЄКТС